

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 64-065865

(43)Date of publication of application : 13.03.1989

(51)Int.Cl.

H01L 27/08
H01L 21/265

(21)Application number : 62-221231

(71)Applicant : FUJITSU LTD

(22)Date of filing : 05.09.1987

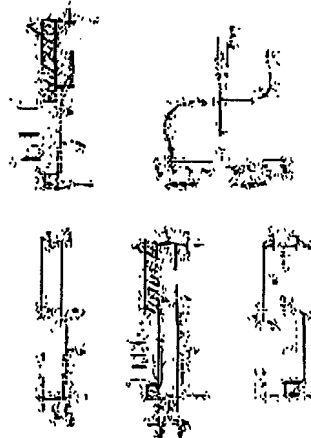
(72)Inventor : UNO MASAOKI

(54) MANUFACTURE OF COMPLEMENTARY SEMICONDUCTOR DEVICE

(57)Abstract

PURPOSE: To enable a well to be easily provided which has such a profile that its impurity concentration is low on the surface and high at its interface with a substrate by a method wherein an ion implantation, semiconductor layer deposit, ion implantation, and a heat treatment are performed onto a semiconductor substrate.

CONSTITUTION: A resist mask is provided onto a p-type Si substrate and P ions are implanted so as to form an n layer 3 at the depth of $0.2\mu\text{m}$. The resist is removed and an epitaxial layer 4 is overlapped thereon to be about $1\mu\text{m}$ in thickness. A resist mask 5 is applied again and P ions are implanted in a dose smaller than the preceding implantation so as to form an n layer at the depth of $0.2\mu\text{m}$. Next, the substrate 1 is subjected to a heat treatment at a temperature of 1100°C for about 50 minutes so as to remove the resist 5, and thus a so-called retrograded well is formed at the depth of about $2\mu\text{m}$, which is highest at the depth of about $1.2\mu\text{m}$ in impurity concentration.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2000 Japan Patent Office

⑬ 日本国特許庁(JP)

⑭ 特許出願公開

⑯ 公開特許公報(A)

昭64-65865

⑮ Int. Cl.

H 01 L 27/08
21/265

識別記号

3 3 1

庁内整理番号

C-7735-5F
Z-7738-5F

⑰ 公開 昭和64年(1989)3月13日

審査請求 未請求 発明の数 1 (全4頁)

⑱ 発明の名称 相補型半導体装置の製造方法

⑲ 特 願 昭62-221231

⑳ 出 願 昭62(1987)9月5日

㉑ 発 明 者 宇 野 昌 明 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
⑳ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地
㉒ 代 理 人 弁理士 寒川 誠一

明 創 書

1. 発明の名称

相補型半導体装置の製造方法

2. 特許請求の範囲

一導電型の半導体層(1)の一部領域に反対導電型の不純物をイオン注入し、

前記一導電型の半導体層(1)上に一導電型の半導体層(4)を形成し、

該一導電型の半導体層(4)の前記一部領域に対応する領域に、反対導電型の不純物をイオン注入し、

熱処理をなして、前記一部領域にレトログレードウェル(5)を形成する

工程を有することを特徴とする相補型半導体装置の製造方法。

3. 発明の詳細な説明

(概要)

一導電型の半導体層に反対導電型の不純物をイオン注入した後、一導電型の半導体層を形成し、その後再び反対導電型の不純物をイオン注入し、

熱処理をなして、レトログレードウェルを形成する工程を有する相補型半導体装置の製造方法である。

〔産業上の利用分野〕

本発明は、相補型半導体装置の製造方法の改良に関する。特に、相補型半導体装置等において望まれるいわゆるレトログレードウェルを簡易に製造する方法の改良に関する。

〔従来の技術〕

CMOS等、1つの半導体チップにPチャンネル型トランジスタとNチャンネル型トランジスタとが形成されている相補型半導体装置が知られており、従来の半導体基板の導電型と逆の導電型の領域が島状に形成されている領域を通常ウェルと称する。

このウェルにおいては、その濃度プロファイルが第2図に示すような形であることが望ましいことも知られている。ラッチアップ現象(相補型半

導体装置において予期せずに形成される生サイリスタによって惹起されるサイリスタ現象)等の発生を防止しうるからである。このような相補型半導体装置に望ましい濃度プロファイルは、図面において濃度が低く、ウェル 終端領域(ウェルと基板との境界)において高くなっている。このような濃度プロファイルを有するウェルをレトログレーデッドウェルと称する。

(発明が解決しようとする問題点)

かかるレトログレーデッドウェルを形成するには、極めて加速エネルギーの大きなイオン注入装置を使用してなすイオン注入法をもってすれば可能であると考えられるが、従来普及しているイオン注入装置の加速エネルギーは $100 \sim 200 \text{ KeV}$ であり、この程度の加速エネルギーを有するイオン注入装置をもってしては、同述距離(以下 $1\mu\text{m}$ という)は $0.1\mu\text{m}$ であり、所望のレトログレーデッドウェルを形成することは困難である。このように、従来技術においては、レトログレーデッド

ウェルを形成することは容易ではない。

本発明の目的は、この欠点を解消することにより、レトログレーデッドウェルを簡単に形成する方法を開発し、レトログレーデッドウェルを有する半導体装置を簡単に製造する方法を提供することにある。

(問題点を解決するための手段)

上記の目的を達成するために本発明が採った手段は、一導電型の半導体層(1)の一部領域(レトログレーデッドウェルが形成される領域)に反対導電型の不純物をイオン注入した後、さらに、一導電型の半導体層(4)を形成し、この一導電型の半導体層(4)の一部領域に、再び反対導電型の不純物をイオン注入し、その後、焼処理をなして、前記の一部領域にレトログレーデッドウェル(8)を形成することにある。

(作用)

本発明においては、一導電型の半導体層に反対

導電型の不純物をイオン注入した後、一導電型の半導体層を形成し、その後再び反対導電型の不純物をイオン注入し、焼処理をなして、レトログレーデッドウェルを形成することとされているので、極めて加速エネルギーの大きなイオン注入装置を使用することなく、簡単に、レトログレーデッドウェルを形成することができ、しかも、イオン注入される不純物の拡散係数の特性、イオン注入の加速エネルギーと $1\mu\text{m}$ の関係、及び、エピタキシャル成長する半導体層の層厚を選択することにより、所望の濃度プロファイルのレトログレーデッドウェルを実現することができる。

(実施例)

以下、図面を参照しつつ、本発明の一実施例に係る相補型半導体装置の製造方法についてさらに説明する。

第1a図 概観

p型のシリコン基板1上 一部領域をレジスト膜2をもってカバーし、n型の不純物であるリン

等を約 180 KeV の加速エネルギーをもってイオン注入する。この工程により、基板1の表面から $0.2\mu\text{m}$ の深さに、n型の不純物であるリン等3が注入される。

第1b図 参照

レジスト膜2を除去した後、p型のシリコン層4を $1\mu\text{m}$ 厚にエピタキシャル成長する。このとき、エピタキシャル成長されるp型のシリコン層4の不純物濃度は基板1のp型の不純物濃度と同程度に選ぶことは言うまでもない。

第1c図 参照

再び、上記と同一の領域にレジスト膜5を形成して、再び、n型の不純物であるリン等を約 180 KeV の加速エネルギーをもってイオン注入する。この工程により、p型シリコン層4の表面から $0.2\mu\text{m}$ の深さに、n型の不純物であるリン等3が注入される。この工程におけるドーズ量は、前回のイオン注入工程におけるドーズ量より小さくしておく。さもないと、n型の不純物濃度プロファイルが、基板表面において低く、ウェル

終端領域(ウェルと基板と境界)において高くなり、その結果レトログレデッドウェルとならないからである。

第1d図参照

1.100において、50分間熱処理をなし、使用すみのレジスト層5を除去する。その結果、深さが約2 μ mであり、最大濃度領域の深さが約1.2 μ mであるn型のレトログレデッドウェル6が形成される。

第3図参照

このレトログレデッドウェルの不純物濃度プロファイルは図示するようになる。

第4図参照

以下、従来の手法をもって例えばCMOSを形成する。

表面を酸化して、二酸化シリコン層7をもって表面をカバーし、nチャネル型FETのソース・ドレイン領域に開口を形成して、ここにn型不純物を導入してn⁺型領域のソース・ドレイン41・42を形成し、ついで、この領域上に二酸化シ

リコン層7を形成して、pチャネル型FETのソース・ドレイン領域に開口を形成して、ここにp型不純物を導入してp⁺型領域のソース・ドレイン81・82を形成し、次に、pチャネル型FETのゲート領域とnチャネル型FETのゲート領域に再拡散をなして、これらの領域の不純物濃度を調整してゲート43・83を形成した後、これらを二酸化シリコン層71をもってカバーし、ソース・ドレイン電極領域に開口を形成し、アルミニウム膜を形成した後これをパターニングして、ソース・ドレイン電極44・45、84・85を形成するが、このとき、nチャネル型FETのドレイン41とpチャネル型FETのドレイン81とを接続しておき、nチャネル型FETのソース42とpチャネル型FETのソース82とを相補型半導体装置の電流端子とすることが一般である。また、nチャネル型FETのゲート83とpチャネル型FETのゲート43とは接続して相補型半導体装置の信号入力端子とされることが一般である。

以上の工程をもって製造されるCMOSのn

ウェルはレトログレデッドウェルであるので、ラッチアップ現象等の発生を防止する。

(発明の効果)

以上説明せるとおり、本発明においては、一導電型の半導体層に反対導電型の不純物をイオン注入した後、一導電型の半導体層を形成し、その後再び反対導電型の不純物をイオン注入し、熱処理をなして、レトログレデッドウェルを形成することとされているので、極めて加温エネルギーの大きなイオン注入装置を使用することなく、簡単に、レトログレデッドウェルを形成することができ、しかも、イオン注入される不純物の拡散係数の特性、イオン注入の加温エネルギーと Γ との関係、及び、エピタキシャル成長する半導体層の層厚を選択することにより、所望の濃度プロファイルのレトログレデッドウェルを簡単に実現することができ、そのため、レトログレデッドウェルを有する相補型半導体装置を簡単に製造することができる。

4. 図面の簡単な説明

第1a~1d図は、本発明に係る相補型半導体装置の製造方法の工程図である。

第2図は、本発明の目的を説明する図である。

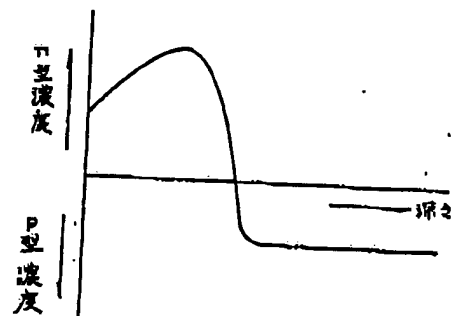
第3図は、本発明の一実施例に係る相補型半導体装置の製造方法を実施して実現した不純物プロファイルである。

第4図は、本発明の一実施例に係る相補型半導体装置の製造方法を実施して製造したCMOSの断面図である。

- 1・・・一導電型(p型)の半導体基板、
- 2・・・レジスト膜、
- 3・・・反対導電型(n型)の不純物、
- 4・・・一導電型(p型)の半導体層、
- 5・・・レジスト膜、
- 6・・・nウェル、
- 7・・・二酸化シリコン膜、
- 71・・・二酸化シリコン膜、
- 81・・・pチャネルFETのドレイン、

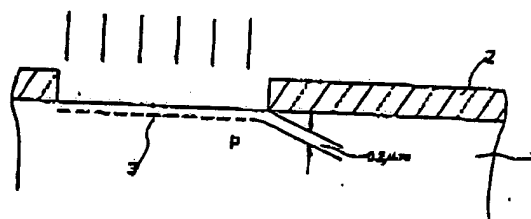
- 82... pチャンネルFETのソース、
- 83... pチャンネルFETのゲート、
- 84... pチャンネルFETのドレイン電極、
- 85... pチャンネルFETのソース電極、
- 41... nチャンネルFETのドレイン、
- 42... nチャンネルFETのソース、
- 43... nチャンネルFETのゲート、
- 44... nチャンネルFETのドレイン電極、
- 45... nチャンネルFETのソース電極、

代理人 弁理士 森川 誠一



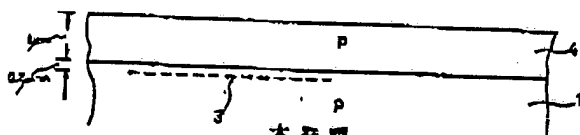
不純物濃度プロファイル

第2図

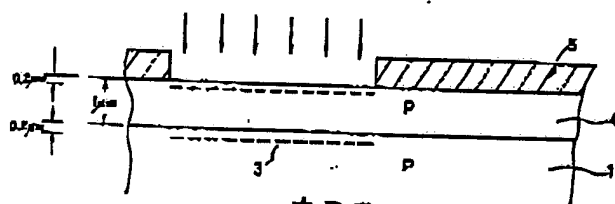


本発明

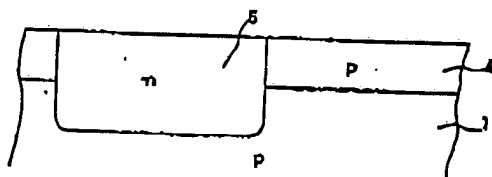
第1a図



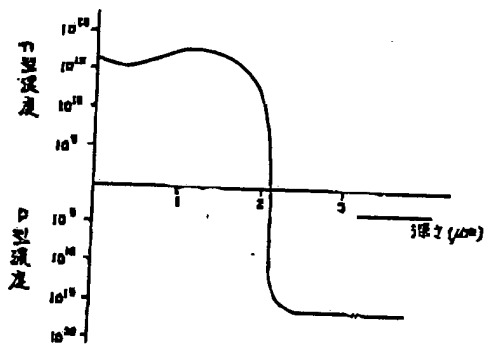
本発明
第1b図



本発明
第1c図

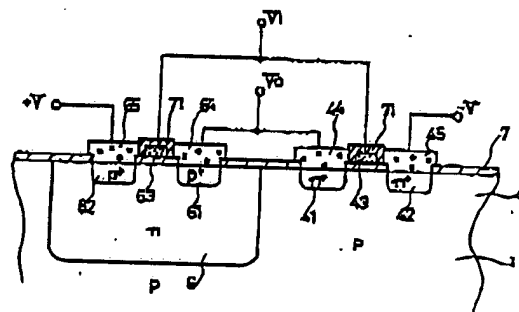


本発明
第1d図



不純物濃度プロファイル

第3図



工程図
第4図

NO. 0210 P. 5

LIST OF CITED REFERENCES

Dat of the Office Action:	February 12, 2003
Date of the Search Report:	
Date on which the Office Action or Search Report	
was received at our office:	
Date of	:
<u>List of Cited References:</u>	
<ol style="list-style-type: none">1. Japanese Patent Laid-Open No. 64-0658652. Japanese Patent Laid-Open No. 63-1023703. Japanese Patent Laid-Open No. 60-132358	
Remarks:	

整理番号 194012531

発送番号 045152

発送日 平成15年 2月12日 1 / 2

拒絶理由通知書

特許出願の番号	平成 6 年 特許願 第265529号
起案日	平成15年 2月 7日
特許庁審査官	加藤 浩一 8617 4R00
特許出願人代理人	簡井 大和 様
適用条文	第29条第2項

この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から60日以内に意見書を提出して下さい。

理 由

この出願の下記の請求項に係る発明は、その出願前日本国内又は外国において頒布された下記の刊行物に記載された発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

記 (引用文献等については引用文献等一覧参照)

- ・請求項 1-38
- ・引用文献等 1-3

・備考

引例1の第2頁右下欄第6行-第3頁左上欄第10行、および第3図の記載を参照されたい。引例1の「このとき、エピタキシャル成長されるp型のシリコン層4の不純物濃度は基板1のp型の不純物濃度と同程度に選ぶことは言うまでもない。」との記載は、本願発明の「所定の不純物濃度の設計上の不純物濃度と同一な不純物濃度を有するように」という構成に相当する。同様に、引例1の「p型シリコン層4の表面から・・・不純物が・・・注入され・・・1,100℃において・・・熱処理をなし」との記載は、本願発明の「エピタキシャル層の表面を通じて、上記エピタキシャル層に不純物を導入する」という構成に相当する。濃度については、第3図を参照されたい。引例1には、ゲート絶縁膜として機能する酸化膜を、エピタキシャル層の表面を酸化することにより形成するとは明記されていないが、ゲート絶縁膜を基板表面の酸化により形成することは周知の方法であるから、引例1に記載された発明において、ゲート絶縁膜として機能する酸化膜を、エピタキシャル層の表面を酸化することにより形成することは当業者が容

NO. 0210 P. 5
発送番号 045152

発送日 平成15年 2月12日 2 / 2

易になし得たことである。

引例2の第2頁右下欄第1行～第3頁左下欄第4行、第1図の記載を参照されたい。

引例3の第3図、第4図の記載を参照されたい。

引用文献等一覧

1. 特開昭64-065865号公報
2. 特開昭63-102370号公報
3. 特開昭60-132358号公報

先行技術文献調査結果の記録

・調査した分野 IPC第7版 H01L21/205

この先行技術文献調査結果の記録は、拒絶理由を構成するものではない。

この拒絶理由通知の内容に関するお問い合わせ、または面接のご希望がございましたら下記までご連絡下さい。

特許審査第三部金属加工 加藤 浩一

TEL. 03(3581)1101 内線3425

FAX. 03(3580-6905)